

Esercizi relativi alla micro-architettura

1. Si consideri un calcolatore in cui la CPU emette indirizzi a 32 *bit*, e la memoria centrale è organizzata a celle di 1 byte. Si vuole progettare una memoria cache che possa contenere, complessivamente, 4 K blocchi di 128 *bit*.

Per l'organizzazione della memoria cache si devono prendere in considerazione le seguenti alternative:

- (a) struttura associativa;
- (b) struttura a indirizzamento diretto;
- (c) struttura set associativa a 2 vie;
- (d) struttura set associativa a 4 vie.

Per ciascuna delle quattro alternative si discuta quale deve essere la dimensione totale in *bit* della memoria cache, e come l'indirizzo seguente (in esadecimale) emesso dalla CPU venga identificato nella cache (numero di linea e etichetta).

$$< IND > = (0001DB8E)_{16}$$

Soluzione: La cache deve contenere 4K blocchi da 128 bit (16 byte). Ad ogni indirizzo a 32 bit si devono togliere i 4 bit meno significativi che indicano lo spiazzamento nel blocco.

- (a) *Struttura associativa.*

La dimensione di una linea di cache è: 1 bit di validità, 28 di etichetta, 128 bit di dati, per un totale di 157 bit per linea.

Dimensione totale in bit ($4096 \times 157 = 643,072$).

- (b) *Struttura a indirizzamento diretto.*

In questo caso i 12 bit meno significativi (dopo aver tolto i 4 bit di spiazzamento del blocco) individuano la linea di cache.

La dimensione di una linea di cache è: 1 bit di validità, 16 di etichetta, 128 bit di dati, per un totale di 145 bit per linea.

Dimensione totale in bit ($4096 \times 145 = 593,920$).

- (c) *Struttura set-associativa a due vie.*

Poichè con questa organizzazione si posizionano due blocchi da 128 bit di dati per linea, per contenere 4K blocchi saranno necessarie 2K linee.

L'indirizzo di linea è quindi di 11 bit, e in questo caso gli 11 bit meno significativi (dopo aver tolto i 4 bit di spiazzamento del blocco) individuano la linea di cache.

La dimensione di una linea di cache è, per ogni via: 1 bit di validità, 17 di etichetta, 128 bit di dati, per un totale di 146 bit per via per linea.

Dimensione totale in bit ($2048 \times 2 \cdot 146 = 598,016$).

- (d) *Struttura set-associativa a quattro vie.*

Poichè con questa organizzazione si posizionano quattro blocchi da 128 bit di dati per linea, per contenere 4K blocchi saranno necessarie 1K linee.

L'indirizzo di linea è quindi di 10 bit, e in questo caso i 10 bit meno significativi (dopo aver tolto i 4 bit di spiazzamento del blocco) individuano la linea di cache.

La dimensione di una linea di cache è, per ogni via: 1 bit di validità, 18 di etichetta, 128 bit di dati, per un totale di 147 bit per via per linea.

Dimensione totale in bit ($1024 \times 4 \cdot 147 = 602,112$).

Per rispondere alla seconda parte dell'esercizio, si deve trovare, per ogni configurazione di cache, come viene identificato (numero di linea e etichetta), l'indirizzo $\langle IND \rangle = (0001DB8E)_{16}$.

(a) *Struttura associativa.*

Etichetta (su 28 bit) = $(1DB8)_{16} = (7608)_{10}$.

(b) *Struttura a indirizzamento diretto.*

Numero di linea (su 12 bit) = $(DB8)_{16} = (3512)_{10}$.

Etichetta (su 16 bit) = $(1)_2 = (1)_{10}$.

(c) *Struttura set-associativa a due vie.*

Numero di linea (su 11 bit) = $(5B8)_{16} = (1464)_{10}$.

Etichetta (su 17 bit) = $(11)_2 = (3)_{10}$.

(d) *Struttura set-associativa a quattro vie.*

Numero di linea (su 10 bit) = $(1B8)_{16} = (440)_{10}$.

Etichetta (su 18 bit) = $(111)_2 = (7)_{10}$.

2. Implementare una nuova istruzione IJVM, che indichiamo con la sigla DLOAD $\langle x \rangle$. L'istruzione DLOAD $\langle x \rangle$ ha un indice $\langle x \rangle$ di un byte e carica sullo stack la variabile locale indicata dall'indice e quella successiva.

Costruire il microinterprete per questa nuova istruzione per la macchina MIC-1 e per la macchina MIC-2 e confrontare i tempi di esecuzione nelle due versioni.

Soluzione: Microinterprete per la macchina MIC-1:

dload1	H=LV
dload2	H=MAR=H+MBRU; rd
dload3	MAR=H+1; rd
dload4	MAR=SP=SP+1; wr
dload5	MAR=SP=SP+1; wr
dload6	PC=PC+1; fetch
dload7	TOS=MDR; goto main1

Microinterprete per la macchina MIC-2:

dload1	H=MAR=LV+MBRU1; rd
dload2	MAR=H+1; rd
dload3	MAR=SP=SP+1; wr
dload4	MAR=SP=SP+1; wr
dload5	TOS=MDR; goto (MBR1)

L'esecuzione dell'istruzione DLOAD $\langle x \rangle$ sulla macchina MIC-1 impiega 8 cicli macchina, su MIC-2 6 cicli macchina, per cui il fattore di accelerazione è di $4/3$.

3. Si prenda il microinterprete MIC-2 per l'istruzione DLOAD <x> sviluppata all'esercizio precedente e la si implementi sulla macchina MIC-3. Confrontare le velocità di esecuzione.

Soluzione: Schema di esecuzione del microprogramma MIC-2 per l'esecuzione dell'istruzione DLOAD <x> sulla macchina MIC-3.

	H=MAR=LV+MBRU1 ;rd	MAR=H+1; rd	MAR=SP=SP+1 ;wr	MAR=SP=SP+1 ;wr	TOS=MDR; goto MBR1
1	A=MBRU1;B=LV				
2	C=A+B				
3	MAR=H=C;rd				
4	MDR=mem	B=H			
5		C=B+1	B=SP		
6		MAR=C; rd	C=B+1		
7		MDR=mem	MAR=SP=C;wr		
8			mem=MDR	B=SP	
9				C=B+1	B=MDR
10				MAR=SP=C; wr	C=B
11					TOS=C
12					goto MBR1

Ammettendo che sulla macchina MIC-3 il ciclo di clock sia tre volte più veloce che su MIC-2, abbiamo:

- MIC-3: 12 cicli di clock;
- MIC-2: $3 \times 5 = 15$ cicli di clock.