

Architetture degli Elaboratori II

II Compito di Esonero - 14/6/2001

Cognome, Nome :

Riportare le soluzioni su questi fogli utilizzando eventualmente il retro come brutta. Ogni esercizio riporta fra parentesi il suo valore in trentesimi (punteggio totale 33/30).

DOMANDE

1. (punti: 6)

È stata implementata una architettura, che chiameremo MIC-2bis, in cui l'unità di prefetching IFU ha solo un registro MBR1 alimentato dallo shift register a 6 byte, ma non MBR2 a 16 bit.

Sulla macchina MIC-2bis, scrivete il microinterprete per l'istruzione

`goto < offset >`

.

2. (punti: 7)

I progettisti di una CPU hanno destinato, sull'area del chip, uno spazio equivalente a circa 512 Kbit per collocare una cache di livello 1. La CPU emette indirizzi a 32 bit e voi decidete di esaminare le seguenti 2 alternative di progetto:

- (a) struttura a indirizzamento diretto con blocco di 64 byte;
- (b) struttura set associativa a 2 vie con blocco di 64 byte;

Per ciascuna delle 2 alternative indicate quante linee di cache si possono collocare nello spazio riservato sul chip e indicate come l'indirizzo seguente (in esadecimale) emesso dalla CPU venga identificato nella cache (numero di linea e etichetta).

$\langle IND \rangle = (0003FAA5)_{16}$

3. (punti: 7)

La macchina MIC-2 dovrebbe risultare più veloce della macchina MIC-1: verificatelo nel seguente caso.

Scrivete un metodo IJVM che riceve dal programma chiamante un singolo parametro P e restituisce il valore 0 se il parametro P è pari, 1 se dispari.

- (a) Descrivete, dapprima a parole, come affrontate il problema;
- (b) scrivete il metodo richiesto in linguaggio IJVM e, per completezza, la parte essenziale del programma chiamante;
- (c) Confrontate il tempo di esecuzione del programma del punto precedente sulla macchina MIC-1 e MIC-2.

4. (punti: 6)

Illustrate quali sono gli elementi distintivi principali che differenziano l'architettura MIC-3 dalle precedenti.

Condiderate il μ interprete MIC-2 per l'istruzione `iinc` e descrivete dettagliatamente come verrebbe eseguita sulla macchina MIC-3.

Calcolate il fattore di accelerazione eseguendo l'istruzione `iinc` su MIC-2 e MIC-3.

5. (punti: 7)

Avete deciso di dotare la macchina IJVM-MIC1 di una *tavola storica* (*history table*) di 1024 linee per la previsione dinamica dei salti.

- (a) Illustrate in dettaglio una possibile implementazione con 1 bit di predizione e con due bit di predizione.
- (b) se il registro PC con il seguente indirizzo binario (scritto per semplicità in esadecimale), punta ad una cella dell'area metodi che contiene l'opcode `10011111`, cosa scrivete nella *history table* e dove?

AD753C59

Architetture degli Elaboratori II

II Compito di Esonero - 5/6/2002

Cognome, Nome:

Matricola :

Ogni esercizio riporta fra parentesi il suo valore in trentesimi (punteggio totale 33/30).

1. (punti: 8)

Dovete valutare il fattore di accelerazione delle architetture MIC-1, MIC-2 e MIC-3 in uno specifico esempio.

Volete implementare una nuova istruzione IJVM che chiamate `iinc16 <varnum,offset>` che ha tre byte di operando: il primo byte `<varnum>` indica lo spiazzamento rispetto a LV della parola che dovete incrementare, gli altri due byte `<offset>` servono a costruire il valore dell'incremento come costante con segno su 16 bit. Per questa nuova istruzione dovete:

- (a) programmare il μ -interprete MIC-1;
- (b) programmare il μ -interprete MIC-2;
- (c) descrivere l'esecuzione di questa nuova istruzione sull'architettura MIC-3;
- (d) confrontare le velocità di esecuzione delle implementazioni su MIC-1 e MIC-2 e MIC-3.

2. (punti: 6)

Avete una macchina con 4 registri operandi (numerati da R0 a R7), pipeline superscalare a due vie (può lanciare due istruzioni al ciclo) e un'istruzione che venga lanciata al ciclo k viene decodificata al ciclo $k + 1$ e completata al ciclo $k + 2$ (se l'ALU deve fare trasferimenti, somme o differenze) o al ciclo $k + 3$ (se l'ALU deve fare prodotti o divisioni).

Nella vostra macchina le istruzioni ISA hanno tutte il formato `<opcode, dest, source1,source2>`.

Dovete descrivere lo "score-board" della macchina quando viene eseguito il seguente spezzone di programma nei due casi:

- (a) la macchina deve lanciare e ritirare le istruzioni in ordine;
- (b) la macchina non deve lanciare e ritirare le istruzioni in ordine.

```

1)      MUL   R7 R2 R1
2)      ADD   R6 R7 R1
3)      ADD   R4 R2 R1
4)      DIV   R1 R4 R3
5)      MUL   R5 R0 R0

```

3. (punti: 6)

Descrivere gli elementi essenziali dello stadio di pre-fetching nell'architettura MIC-2. Discutere in dettaglio:

- (a) se sarebbe conveniente aumentare le dimensioni dell shift register, e perchè;
- (b) come si presenterebbe la macchina a stati finiti per rappresentare il funzionamento di uno shift register a 8 posizioni.

4. (punti: 7)

Si deve implementare un CPU a basso costo con una cache di piccole dimensioni. La CPU emette indirizzi a 16 bit e la cache ha blocchi di dati di 16 byte. Con queste caratteristiche:

- (a) disegnate una cache a indirizzamento diretto di 128 linee e calcolate quanto spazio occupa;
- (b) Indicate (in esadecimale) due indirizzi qualunque della CPU in conflitto sulla linea di cache di numero $\langle 1011010 \rangle$ (e spiegate perchè) .

5. (punti: 6)

Cosa si intende per modalità di indirizzamento in una istruzione ISA? Supponendo di disporre di una macchina con 8 registri operandi numerati da R0 a R7, e facendo riferimento a una istruzione MOV R0 <IND> che sposta l'operando <IND> nel registro R0, indicate quali sono le modalità di indirizzamento più usuali.