

Esercizi relativi ai circuiti sequenziali

1. Nel bistabile (latch) a porte NOR, si supponga di sostituire le porte NOR con porte NAND. Si ottiene il bistabile (latch) a porte NAND che ha analoghe funzionalità: se ne discuta il funzionamento.
2. Si prenda a riferimento la memoria (RAM statica) a 4 celle da 3 bit del testo (Fig. 3.28). Illustrare come deve essere modificato lo schema per passare a una memoria da 1k celle da 8 bit.

Soluzione: La memoria deve essere organizzata come una matrice di D-latch disposti su 1k (1024) linee, ciascuna di 8 latch.

Il decodificatore di ingresso deve avere 10 linee di ingresso e $1024 = 2^{10}$ linee di uscita. Questo comporta che gli indirizzi (e il MAR) per indirizzare una siffatta memoria devono essere a 10 bit.

Le linee di dati in input e output (e quindi MBR) devono avere un parallelismo di 8 bit.

La struttura dei collegamenti rimane la stessa di quella di Fig. 3.28, ovviamente duplicata su 1024 parole di 8 bit.

I bit di controllo e i loro collegamenti rimangono immutati.

3. Determinare la larghezza di banda di un bus che abbia un parallelismo di 32 bit, una frequenza di clock di 200 MHz e in cui un'operazione di lettura/scrittura CPU-Memoria impieghi 4 cicli di clock del bus.

Soluzione:

Il periodo di un ciclo di clock vale: $\frac{1}{200 \cdot 10^6} = \frac{1}{2 \cdot 10^8} = 0.5 \cdot 10^{-8} = 5 \text{ nsec}$

Durata di un trasferimento (4 cicli di clock) = $4 \cdot 5 = 20 \text{ nsec}$

Ogni 20 nsec si trasferiscono 4 Byte (32 bit), da cui:

$$\text{Larghezza di banda} = \frac{4}{20} = 0.2 \cdot 10^{-9} = 200 \text{ MByte/sec}$$