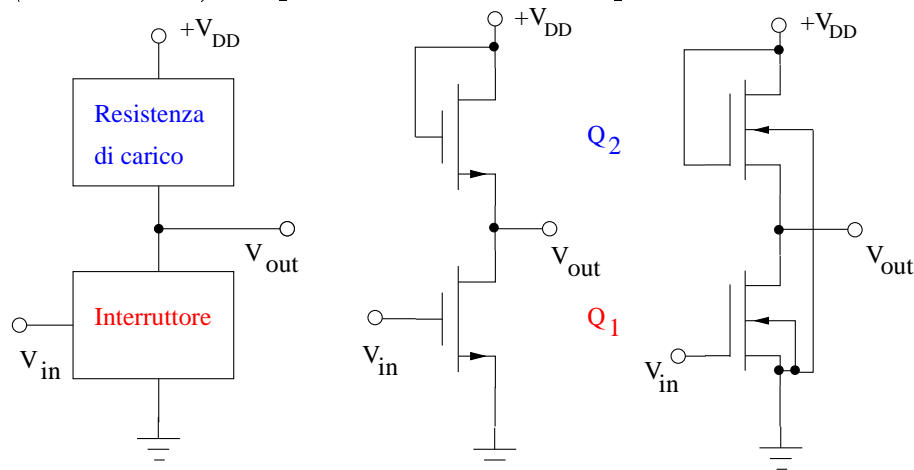


L'invertitore NMOS

- Vediamo un esempio concreto di invertitore, e precisamente l'invertitore in tecnologia **NMOS** (MOSFET a canale n), che permette le maggiori densità di componenti e perciò è la più diffusa nella categoria dei circuiti **VLSI** (*Very Large Scale Integration*).
- Per minimizzare l'area occupata da una porta logica, si usano transistor MOSFET sia come interruttori sia come resistenze di carico;

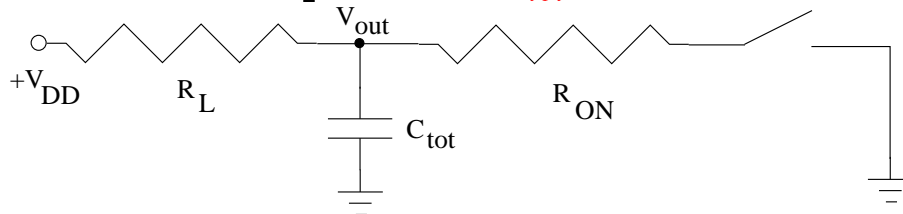
per esempio possiamo utilizzare dei transistor NMOS ad arricchimento (*enhancement*) sia per l'interruttore sia per la resistenza di carico:



(al centro la notazione usuale, a destra la notazione alternativa con l'indicazione esplicita della connessione del *body*, e con il terminale di *source* indicato implicitamente dalla vicinanza della linea orizzontale del *gate*)

- La resistenza di carico (non lineare) fornita dal transistor Q_2 si ottiene come luogo dei punti con $V_{DS2} = V_{GS2}$ sulla famiglia di curve $I_{D2}(V_{DS2})$ parametrizzate da V_{GS2} ; la caratteristica di trasferimento $V_{out} = V_{DS1}$ in funzione di $V_{in} = V_{GS1}$ si ottiene in due passi: (i) calcolo della curva di carico $I_{D1}(V_{DS1})$ dalla resistenza di carico $I_{D2}(V_{DS2})$ con le equazioni $I_{D1} = I_{D2}$ e $V_{DS1} = V_{DD} - V_{DS2}$, (ii) intersezione della curva di carico con la famiglia di curve $I_{D1}(V_{DS1})$ parametrizzate da V_{GS1} .

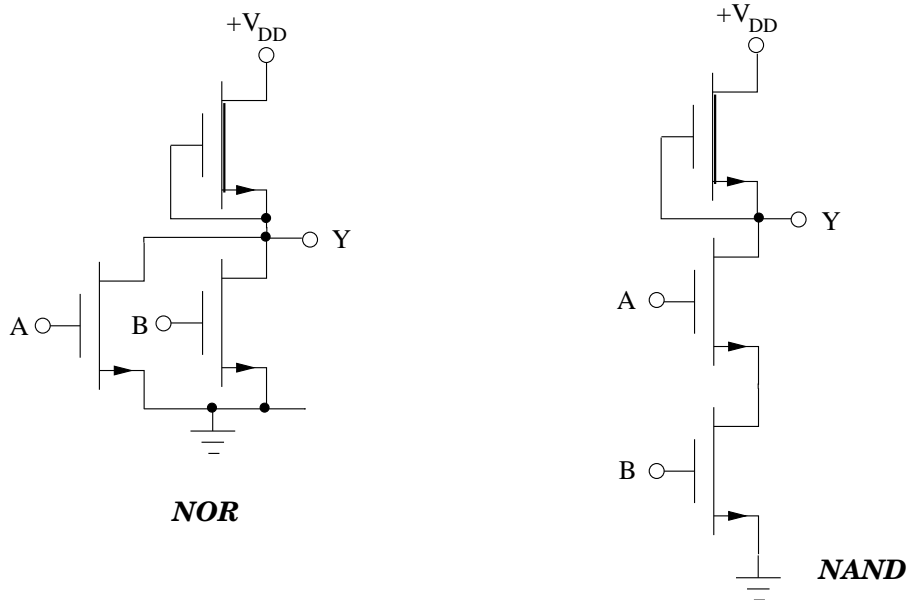
- Per ottenere una caratteristica di trasferimento con dei buoni margini di rumore è necessario che il MOSFET di carico abbia un rapporto tra larghezza e lunghezza W/L di circa $\frac{1}{4}$ (assumendo che il MOSFET interruttore abbia W/L pari a 1), in modo che I_{D2} sia ridotta di un fattore circa 4 rispetto a I_{D1} .
- Una soluzione alternativa per ottenere buoni margini di rumore è quella di far lavorare il MOSFET di carico in regime lineare; questa soluzione presenta però lo svantaggio di richiedere una alimentazione separata per il *gate*: un valore tipico di alimentazione è $V_{GG} = 9 \text{ V}$ (con $V_{DD} = 6 \text{ V}$).
- Un'altra soluzione alternativa è quella di utilizzare come resistenza di carico un transistor NMOS ad impoverimento nella condizione $V_{GS} = 0$: è la tecnica più efficace.
- Si possono stimare i ritardi di propagazione t_{pLH} e t_{pHL} di un invertitore NMOS in base a un semplice modello con tre elementi: resistenza di carico R_L , resistenza dell'interruttore chiuso R_{ON} , e capacità totale del dispositivo C_{tot} :



- L'ordine di grandezza dei tempi di propagazione dipende dalle costanti di tempo di scarica $\tau_{HL} = C_{tot}R_{ON}R_L/(R_{ON} + R_L)$ e di carica $\tau_{LH} = C_{tot}R_L$; poichè le resistenze in gioco non sono lineari (variano con la tensione), per un risultato accurato è necessario ricorrere ad una simulazione, comunque si ha subito che $R_L \gg R_{ON}$ e quindi $t_{pLH} \gg t_{pHL} \simeq 2 \text{ ns}$.

Circuiti NMOS

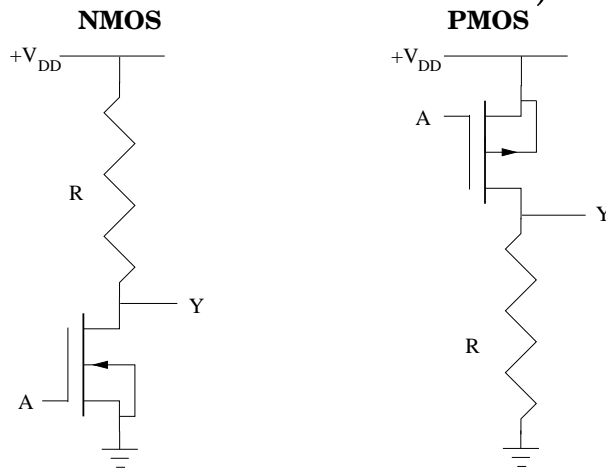
- È abbastanza semplice modificare l'invertitore NMOS per ottenere le porte logiche **NOR** e **NAND**: si tratta, mantenendo un solo MOSFET di carico, di configurare due interruttori in parallelo (a sinistra) o in serie (a destra):



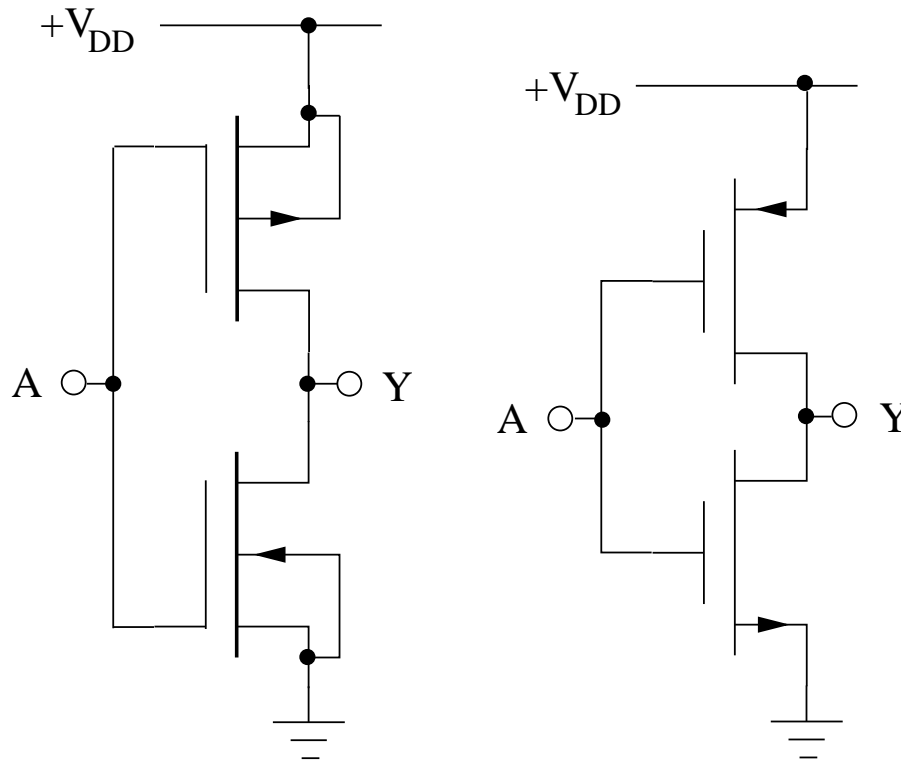
- Nel caso degli interruttori in parallelo (a sinistra), è sufficiente che uno dei due sia in conduzione (ingresso A o B con $V > V_{IH}$) affinché passi corrente nella maglia di uscita e quindi la tensione di uscita sia $V_{out} \geq V_{OL}$; è facile verificare che il circuito soddisfa la tabella di verità della porta **NOR**.
- Si può aumentare il *fan-in* (numero di ingressi) del circuito **NOR** semplicemente aggiungendo altri interruttori NMOS in parallelo; il limite pratico al *fan-in* è dato dalla massima corrente sopportata dal MOSFET di carico.
- La configurazione con i due interruttori in serie fornisce un percorso per la corrente solo se entrambi sono in conduzione; anche qui è facile verificare che il circuito di destra soddisfa la tabella di verità della porta **NAND**.
- Va notato che il circuito **NOR** consuma potenza in tre diverse condizioni degli ingressi (sulle quattro possibili), cioè quando almeno uno degli interruttori conduce; viceversa il circuito **NAND** consuma potenza per una sola condizione degli ingressi.

L'invertitore CMOS

- Un difetto dell'invertitore NMOS (e dell'analogo invertitore PMOS) è il consumo non trascurabile nello stato di conduzione (per semplicità il MOSFET di carico è qui rappresentato come una resistenza):

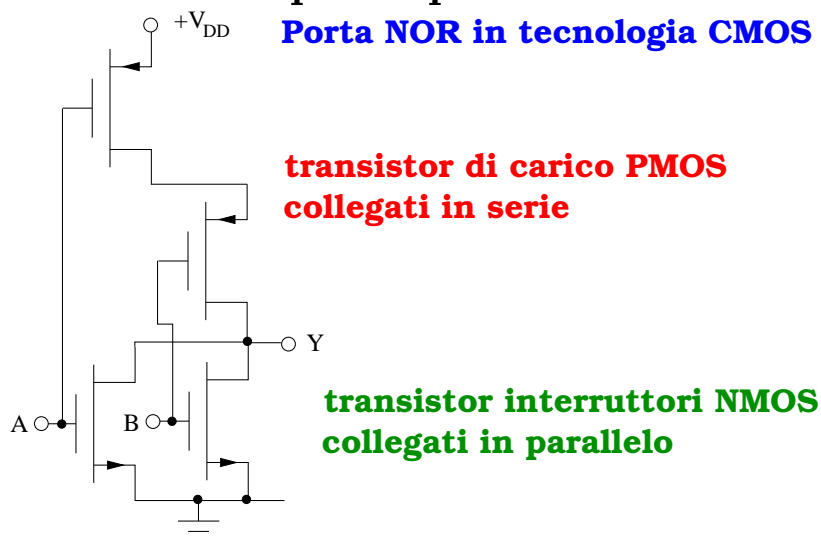


- Questo difetto viene superato nell'**invertitore CMOS** (*Complementary MOS*), in cui ciascun interruttore fa da carico all'altro:



l'ingresso A è collegato ai due *gate*, l'uscita Y ai due *drain*.

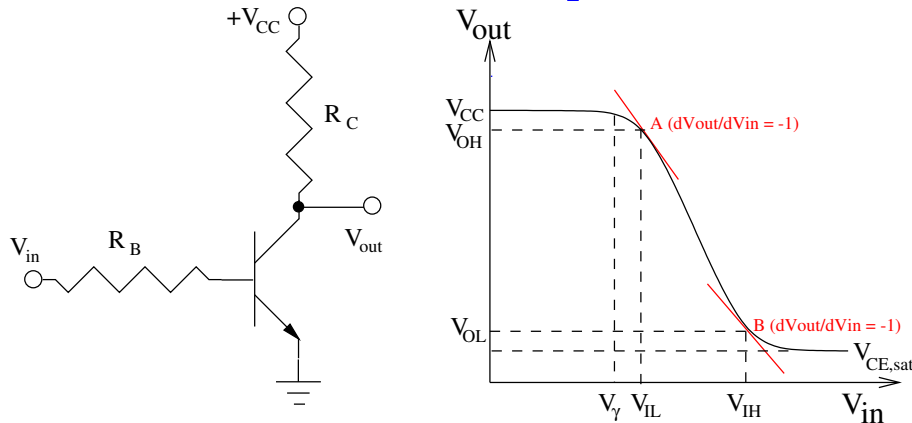
- il consumo *statico* della tecnologia CMOS è teoricamente zero, in pratica è dell'ordine del nW per porta CMOS.
- il consumo *dinamico* del CMOS non è nullo, perchè durante le transizioni di stato avviene che i due transistor conducano contemporaneamente (all'incirca per $2 < V < 3 \text{ V}$ se $V_{DD} = 5 \text{ V}$): perciò la potenza consumata aumenta linearmente con la frequenza di commutazione.
- I circuiti **CMOS** permettono di ottenere un consumo di potenza molto basso (rispetto ai circuiti NMOS, e ancora di più rispetto a quelli TTL ed ECL) e sono perciò i più usati nella categoria VLSI.
- Essi però richiedono un transistor di carico per ogni interruttore (v. ad esempio il circuito NOR in figura), e sono inferiori ai circuiti NMOS in quanto a densità di porte per unità di area.



- Per aumentare il *fan-out* di una porta CMOS è pratica corrente inserire due invertitori in serie sull'uscita, con le dimensioni dei MOSFET del secondo invertitore aumentate per fornire correnti più alte.

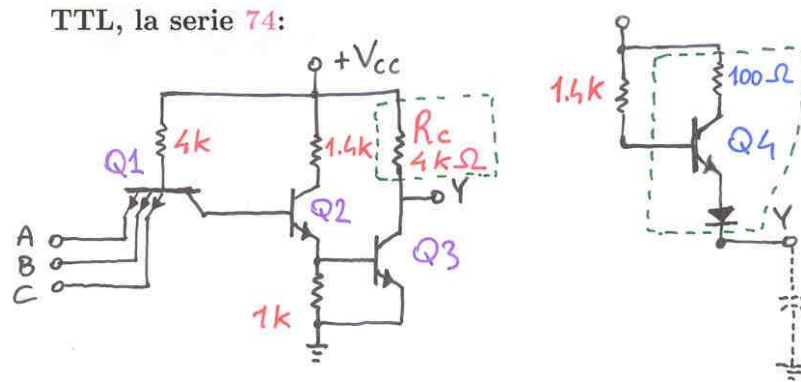
Circuiti TTL

- Esaminiamo alcuni elementi costruttivi della famiglia **TTL**, che è basata su transistor bipolari (*BJT*), iniziando dall'**invertitore bipolare**:



- La caratteristica di trasferimento comprende 3 regioni principali:
 1. interdizione: $V_{in} < V_{\gamma} \simeq 0.5 \text{ V} \Rightarrow V_{out} \simeq V_{CC}$;
 2. regione attiva: $V_{BE,ON} \simeq 0.7 \text{ V}$, V_{out} decresce linearmente all'aumentare di V_{in} ;
 3. saturazione: $V_{out} = V_{CE,sat} \simeq 0.2 \text{ V}$.
- in prima approssimazione si ha $V_{OL} \simeq V_{CE,sat}$, $V_{OH} \simeq V_{CC}$, $V_{IL} \simeq V_{BE,ON}$, mentre il valore di V_{IH} può essere variato agendo sul rapporto R_C/R_B
- L'invertitore bipolare sfrutta i portatori di minoranza \Rightarrow è soggetto a una limitazione non presente nei dispositivi a portatori di maggioranza (come i FET): il tempo di transizione $ON \rightarrow OFF$ comprende il tempo necessario a rimuovere i portatori di minoranza in eccesso dalla base.
- Questo inconveniente viene superato inserendo un **diode Schottky** (diode metallo-semiconduttore, più veloce perchè usa solo i portatori di maggioranza) tra la base e il collettore, ottenendo il cosiddetto **transistor Schottky**.

- Il circuito fondamentale della famiglia TTL è il **NAND**. Vediamo come è stato realizzato nella prima versione della famiglia TTL, la serie **74**:



- la funzione del transistor multi-emettitore **Q1** è quella di AND (simile ai diodi di ingresso nella famiglia DTL), il transistor **Q3** funge da invertitore, la giunzione B-E di **Q2** serve a migliorare i margini di rumore;
- adottando i livelli $LOW = 0.2 \text{ V}$ e $HIGH = +V_{CC} = +5 \text{ V}$, verificiamo il funzionamento del NAND nei due casi rilevanti:
 1. se almeno un ingresso è LOW : la giunzione B-E di **Q1** è polarizzata direttamente, ipotizziamo che **Q2** e **Q3** siano spenti $\Rightarrow I_{C1} = I_{B2} \simeq 1 \text{ nA}$
 $\Rightarrow I_{B1} \gg I_{C1}/\beta_F \Rightarrow \mathbf{Q1}$ è in saturazione; quindi $V_{B2} = V_{in} + V_{CE,sat} = 0.4 \text{ V}$: effettivamente **Q2** e **Q3** sono spenti e quindi $V_Y = V_{CC}$;
 2. se tutti gli ingressi sono $HIGH$: gli emettitori di **Q1** sono polarizzati inversamente, il collettore direttamente $\Rightarrow I_{C1} = -(1 + \beta_R)I_{B1} \Rightarrow \mathbf{Q2}$ e **Q3** sono in saturazione e quindi $V_Y = LOW$.
- un miglioramento significativo del tempo di commutazione $LOW \rightarrow HIGH$ con carico capacitivo sull'uscita si ottiene sostituendo R_C con un transistor simile a **Q3** (*totem-pole*)
- alla famiglia originale TTL (serie **74**) sono stati apportati diversi miglioramenti che hanno dato luogo ad altre famiglie:
 1. **74S** (Schottky) uso di transistor Schottky per migliorare la velocità: ritardo $\times \frac{1}{3}$, consumo $\times 2$
 2. **74LS** (Low power Schottky) uso di transistor Schottky, transistor multi-emettitore **Q1** rimpiazzato da diodi Schottky, etc.: ritardo invariato, consumo $\times \frac{1}{5}$
 3. **74AS** (Advanced Schottky) simile alla **74LS** ma con valori più bassi delle resistenze: ritardo minore, consumo maggiore
 4. **74ALS** derivata dalla **74LS** con aumento dei valori delle resistenze (minore consumo) e uso di ulteriori elementi attivi, come inseguitori di emettitore *pnp* al posto dei diodi di ingresso (minore ritardo): presenta il minimo valore del prodotto ritardo-consumo