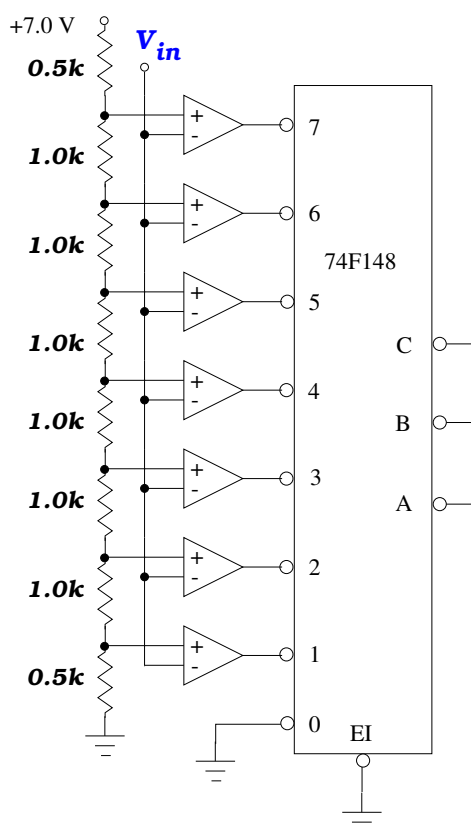


# Convertitore Analogico-Digitale

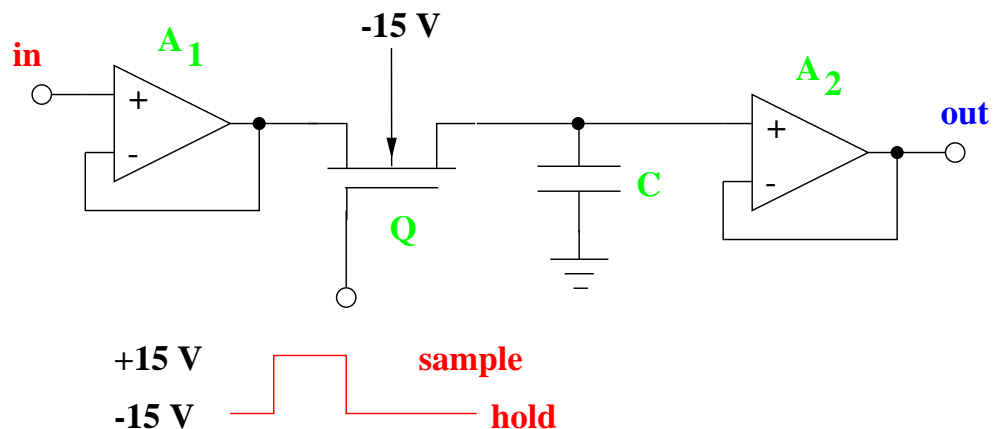
- Sono state sviluppate parecchie tecniche di conversione da analogico a digitale: esaminiamo le più diffuse, partendo da quella più rapida (e più costosa).
- Nel **convertitore A/D parallelo** (forse più noto come *flash ADC*) la tensione in ingresso  $V_{in}$  viene confrontata simultaneamente in  $N$  comparatori con  $N$  tensioni di riferimento  $V_i$  equispaziate, dopo di che un codificatore di priorità genera il numero binario corrispondente al comparatore di ordine più alto che ha trovato  $V_{in} > V_i$ . Sono richiesti  $N = 2^n - 1$  comparatori per  $n$  bit di precisione: nell'esempio abbiamo un ADC a 3 bit con 7 comparatori.



$V_{in}$	ingresso codificatore	uscita codificatore
0.0-0.5 V	00000001	000
0.5-1.5 V	00000011	001
1.5-2.5 V	00000111	010
2.5-3.5 V	00001111	011
3.5-4.5 V	00011111	100
4.5-5.5 V	00111111	101
5.5-6.5 V	01111111	110
6.5-7.0 V	11111111	111

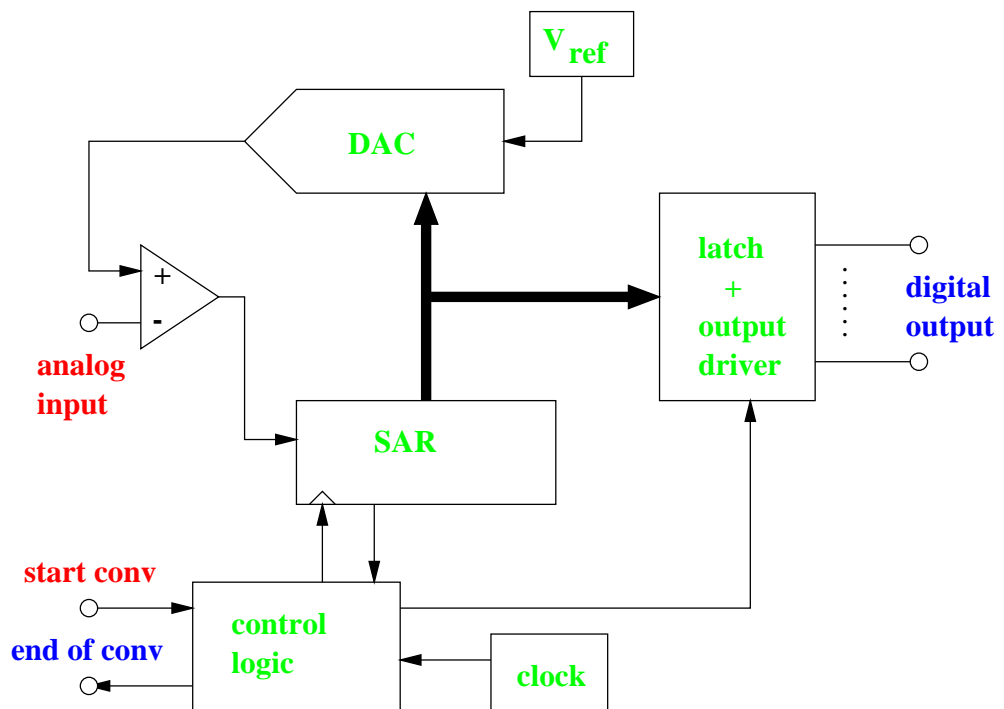
- Il convertitore A/D parallelo è il più veloce dato che il tempo di propagazione tra ingresso e uscita risulta pari alla somma dei tempi di propagazione in un comparatore e in un codificatore. Si trovano in commercio convertitori paralleli da 4 fino a 10 bit (oltre questo limite, che richiede 1024 comparatori, diventerebbero troppo ingombranti e costosi), con tempi di conversione da 3 ns (equivalente a 300 MSPS, ovvero milioni di campionamenti al secondo) fino a 200 ns.

- Una variante dello schema appena visto è il cosiddetto *half-flash ADC*, in cui (assumendo un'uscita a 8 bit):
  1. una conversione parallela fornisce i primi 4 bit più significativi;
  2. un DAC ritrasforma questa prima approssimazione in analogico e la sottrae all'ingresso;
  3. la differenza viene convertita (sempre in parallelo) ottenendo i successivi 4 bit meno significativi.
- Notiamo che i convertitori paralleli sono i più adatti alle applicazioni in cui si vuole essere sicuri che il segnale d'ingresso non cambi durante la conversione, e questo grazie al corto tempo di "apertura" in cui i comparatori esaminano simultaneamente gli ingressi.
- Nei tipi di ADC più lenti che esamineremo nel seguito è invece consigliabile inserire un circuito di *sample and hold* per "congelare" il segnale durante il processo di conversione. Un buon circuito di *sample and hold* può essere costruito con quattro elementi:
  1. un *follower*  $A_1$  che riproduce il segnale d'ingresso a bassa impedenza,
  2. un interruttore MOSFET  $Q$  con bassa resistenza  $R_{ON}$  che quando è chiuso permette la carica veloce del condensatore,
  3. un condensatore  $C$  con un buon dielettrico (Teflon),
  4. un *follower*  $A_2$  con alta impedenza d'ingresso (ingressi a FET) che mantiene a lungo la carica su  $C$  quando  $Q$  è aperto.



Due effetti vanno tenuti sotto controllo: (i) un salto di tensione dovuto alla iniezione di carica quando viene aperto l'interruttore  $Q$  (*hold step*), (ii) le correnti di fuga in  $Q$  e  $A_2$  che causano una decrescita (*droop*) della tensione durante il tempo di *hold*.

- È da notare che esistono circuiti S/H di questo tipo già predisposti, ad es. LF398 (National Semiconductor) che si presenta in un contenitore a 8 piedini, e al quale va aggiunto esternamente il condensatore.
- Un tipo di convertitore A/D molto diffuso è il **convertitore ad approssimazioni successive**, in cui un DAC genera successive approssimazioni che vengono via via paragonate al segnale d'ingresso da un comparatore.



Le approssimazioni vengono generate da uno speciale registro ad approssimazioni successive (SAR) che adotta uno schema dicotomico partendo dal codice  $100\dots00$  (corrispondente al valore mediano di tensione) e fissando via via i bit, dal più significativo al meno significativo, a 1 oppure a 0 in base alle risposte del comparatore.

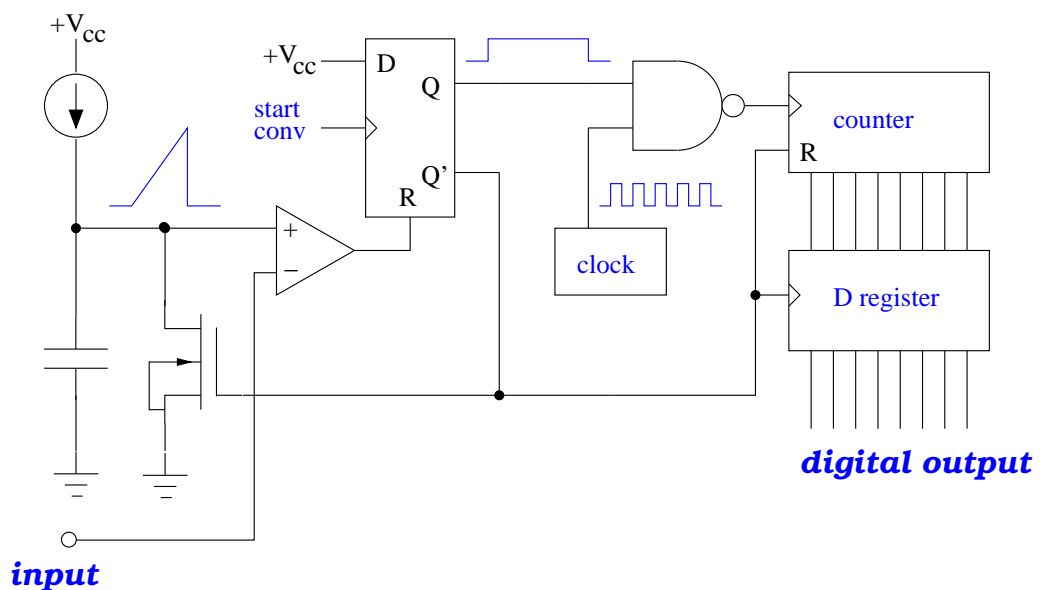
- Questo schema ha il vantaggio di richiedere solo  $n + 1$  cicli di assestamento del DAC per ottenere la precisione di  $n$  bit: un notevole miglioramento rispetto allo schema precedente in cui il DAC era pilotato da un contatore binario, con tempo di conversione variabile da 1 a  $2^n$  cicli secondo il segnale d'ingresso.

- Per esempio, con  $n = 8$  bit, una sequenza completa di conversione richiede  $n + 1 = 9$  cicli di clock:

ciclo	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$	decimale
1	0	1	1	1	1	1	1	1	127
2	1	0	1	1	1	1	1	1	191
3	1	0	0	1	1	1	1	1	159
4	1	0	1	0	1	1	1	1	175
5	1	0	1	1	0	1	1	1	183
6	1	0	1	1	0	0	1	1	179
7	1	0	1	1	0	1	0	1	181
8	1	0	1	1	0	1	0	0	180
9	1	0	1	1	0	1	0	1	181

il MSB viene fissato al ciclo n. 2, il LSB al ciclo n. 9.

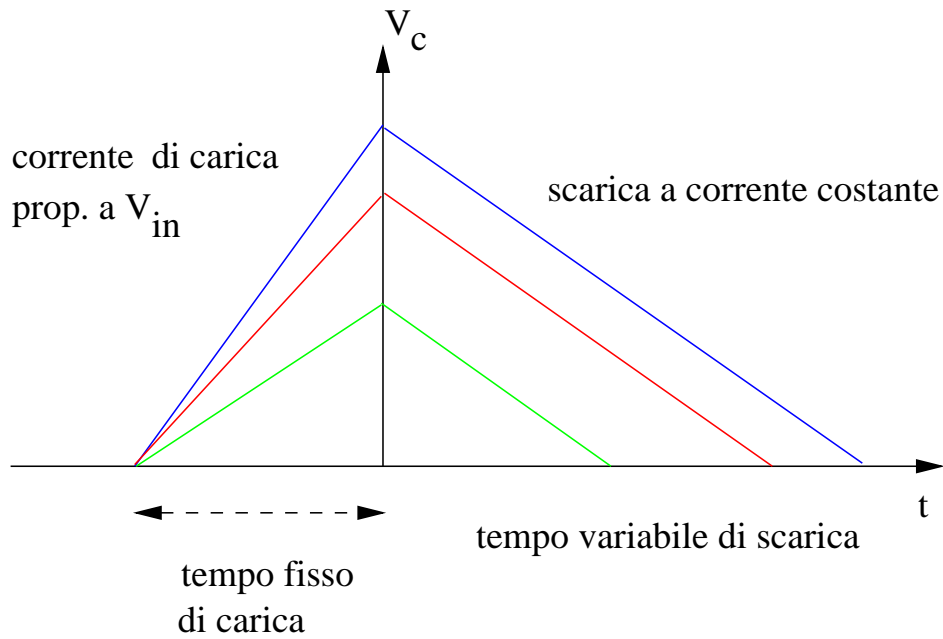
- Si trovano in commercio convertitori A/D ad approssimazioni successive da 8 fino a 16 bit, con tempi di conversione da  $1 \mu s$  fino a  $200 \mu s$ . I convertitori ad approssimazioni successive possono presentare non-linearità, e non sono adatti in quelle applicazioni dove è importante che la larghezza dei “gradini” sia costante.
- Se si vuole ottenere la massima precisione e stabilità nella conversione A/D bisogna ricorrere ai **convertitori A/D a rampa**, caratterizzati da tempi di conversione più lunghi rispetto ai convertitori visti finora.
- Un primo esempio è il **convertitore a singola rampa**, in cui il segnale d’ingresso viene continuamente paragonato alla tensione crescente fornita da un generatore di rampa, mentre un sistema digitale misura il tempo necessario al “pareggio” tra le due tensioni.



- La sequenza delle operazioni è la seguente:
  1. un impulso positivo (*start conv.*) viene applicato all'ingresso di clock del flip-flop di tipo D  $\Rightarrow Q=1$  e  $\overline{Q} = 0$ ;
  2. l'interruttore si apre, facendo iniziare la rampa di carica del condensatore,
  3. contemporaneamente il contatore viene azzerato e la porta NAND inizia a far passare gli impulsi provenienti dal *clock*;
  4. quando la tensione sul condensatore uguaglia quella di ingresso, l'uscita del comparatore diventa 1 e azzerata il flip-flop:
  5. il NAND blocca gli impulsi diretti al contatore,
  6. il condensatore viene scaricato,
  7. il risultato della conversione viene fatto passare nel registro di uscita

Il numero in uscita è pari al numero di periodi del clock usati per pareggiare la tensione in ingresso, e quindi è proporzionale a quest'ultima.

- L'ADC a singola rampa è di semplice costruzione, ma richiede, per una buona precisione di conversione, eccellenti caratteristiche di precisione e stabilità sia al comparatore sia al condensatore. È tuttora usato nell'analisi di altezza d'impulso (*PHA*) e nella conversione tempo-ampiezza (*TAC*), dove si richiede che i "canali" siano esattamente della stessa ampiezza, mentre la precisione assoluta è meno importante.
- I problemi dell'ADC a singola rampa vengono superati con gli ADC integratori, tra i quali esaminiamo in particolare il **convertitore A/D a doppia rampa**. La conversione avviene in due fasi:
  1. nella prima, una corrente proporzionale alla tensione d'ingresso carica il condensatore per un intervallo di tempo *fisso* a una tensione che risulta proporzionale al livello *medio* del segnale d'ingresso;
  2. nella seconda, il condensatore viene scaricato da una corrente costante, quindi con un tempo di scarica proporzionale al segnale d'ingresso.



- Molto spesso il tempo fisso di integrazione viene scelto pari a un multiplo esatto del periodo della alimentazione di rete, in modo da cancellare l'influenza della frequenza di rete e delle sue armoniche sul segnale da campionare. La massima precisione si ottiene con  $T = \frac{1}{50} \text{ s} = 20 \text{ ms}$  (oppure 16 ms negli USA).
- I multimetri di precisione (a 6 cifre decimali significative) e altri strumenti di precisione impiegano ADC integratori a doppia rampa.
- Si trovano in commercio ADC integratori (a doppia rampa o con altri metodi) da 12 fino a 22 bit, con velocità comprese generalmente tra 2 e 50 conversioni al secondo.